

S/N Unknown

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	ASADA	Examiner:	Unknown
Serial No.:	Unknown	Group Art Unit:	Unknown
Filed:	December 5, 2001	Docket No.:	10873.851US01
Title:	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		



CERTIFICATE UNDER 37 CFR 1.10:

"Express Mail" mailing label number: EV 037641033 US

Date of Deposit: December 5, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Commissioner for Patents, P.O. Box 2327, Arlington, VA 22202.

By: 

Name: Chris Stordahl

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
P.O. Box 2327
Arlington, VA 22202

Dear Sir:

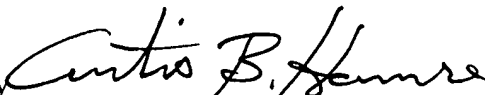
Applicants enclose herewith one certified copy of a Japanese application,
Serial No. 2001-083422, filed March 22, 2001, the right of priority of which is claimed
under 35 U.S.C. § 119.

Respectfully submitted

MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, Minnesota 55402-0903
(612) 332-5300

Dated: December 5, 2001

DPM/tvm/jlh

By 
Curtis B. Hamre
Reg. No. 30,300

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月22日

出 願 番 号

Application Number:

特願2001-083422

出 願 人

Applicant(s):

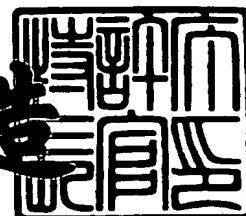
松下電器産業株式会社



2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080933

【書類名】 特許願

【整理番号】 R5002

【提出日】 平成13年 3月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/78

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 浅田 浩明

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100095555

 【弁理士】

 【氏名又は名称】 池内 寛幸

 【電話番号】 06-6361-9334

【選任した代理人】

 【識別番号】 100076576

 【弁理士】

 【氏名又は名称】 佐藤 公博

【選任した代理人】

 【識別番号】 100107641

 【弁理士】

 【氏名又は名称】 鎌田 耕一

【選任した代理人】

 【識別番号】 100110397

 【弁理士】

 【氏名又は名称】 梶丘 圭司

【選任した代理人】

【識別番号】 100115255

【弁理士】

【氏名又は名称】 辻丸 光一郎

【選任した代理人】

【識別番号】 100115152

【弁理士】

【氏名又は名称】 黒田 茂

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004605

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 半導体メモリ回路と、前記半導体メモリ回路に対するデータアクセスを制御する制御回路とが内蔵された半導体集積回路装置であって、

前記制御回路は、前記半導体メモリ回路に対して、連続アドレスによるデータアクセスを行なう際に、1ビットのみ値が順次変化する複数ビットのアドレス信号を出力することを特徴とする半導体集積回路装置。

【請求項 2】 前記半導体メモリ回路はROM回路およびRAM回路の少なくとも1つからなることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記制御回路は、入力されるクロックを分周して、ビット 0 を最下位ビットとした複数 (m) ビットのアドレス信号を生成するアドレス生成回路を含み、前記アドレス生成回路は、前記クロックを $(1/4) \times (1/2)^i$ 分周してビット i ($i = 0 \sim (m-1)$) を生成するとともに、各ビットの位相をすぐ下位のビットの周期に対して $1/4$ 周期ずつ遅延させて、1ビットのみ値が順次変化する前記複数ビットのアドレス信号を出力することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記半導体集積回路装置は、前記半導体メモリ回路に記憶されているデータの配置を、前記アドレス生成回路からのアドレス信号の変化に対応した配置に変換する手段を備えたことを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】 タイマカウンタ回路が内蔵された半導体集積回路装置であって

前記タイマカウンタ回路は、

入力されるクロックを所定の分周比ずつ分周して複数の分周クロックを出力するカウンタ回路と、

前記カウンタ回路から出力される下位のビットに対応する分周クロックに基づいて、すぐ上位のビットに対応する分周クロックをデータとして格納し、1ビットのみ値が順次変化するカウント値を出力するカウンタレジスタと、

所定の比較設定値を格納するコンペアレジスタと、

前記カウンタレジスタからのカウント値と前記コンペアレジスタからの所定の比較設定値とを比較して、その比較結果を出力するコンペア回路とを含むことを特徴とする半導体集積回路装置。

【請求項 6】 前記半導体集積回路装置は、前記コンペアレジスタに格納されている前記比較設定値を、前記コンペアレジスタからのカウンタ値の変化に対応した値に変換する手段を備えたことを特徴とする請求項 5 記載の半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路装置に内蔵された ROM 回路や RAM 回路を制御するためのアドレス信号を生成する技術に関し、特に、かかる半導体集積回路装置における消費電力を低減する技術に関する。

【 0 0 0 2 】

【従来の技術】

従来例として、ROM 回路、および ROM 回路を制御する回路を内蔵した従来の半導体集積回路装置について、図 1 0 から図 1 2 を参照して説明する。

【 0 0 0 3 】

図 1 0 は、かかる従来の半導体集積回路装置の構成を示すブロック図である。

【 0 0 0 4 】

図 1 0 において、半導体集積回路装置は、ROM 回路 1 と、ROM 回路 1 を制御する制御回路 8 とを内蔵している。ROM 回路 1 は、データを記憶するためのメモリセルがアレイ状に配置されたメモリセルアレイ 2 と、外部の制御回路 8 から入力されるアドレス信号 7 をデコードするためのアドレスデコード回路 3 と、データを出力するためのデータ出力回路 4 とで構成されている。

【 0 0 0 5 】

制御回路 8 は、外部から入力されるクロック 1 1 に基づいてアドレス信号 7 を生成するアドレス生成回路 9 と、ROM 回路 1 のデータ出力回路 4 から出力され

るデータ出力信号 6 を処理するデータ処理回路 1 0 とで構成されている。

【 0 0 0 6 】

データ出力信号 6 のビット数は、メモリセルアレイ 2 の構成で決まる。例えば、メモリの最小構成単位がバイト（8 ビット）単位であれば、データ出力信号 6 は 8 ビット（ $n = 8$ 、 $D 7 \sim D 0$ ）、メモリの最小構成単位がワード（16 ビット）単位であれば、データ出力信号 6 は 16 ビット（ $n = 16$ 、 $D 15 \sim D 0$ ）となる。また、アドレス信号 7 のビット数は、メモリセルアレイ 2 のメモリ容量に応じて決まる。例えば、メモリの最小構成単位がバイト単位でメモリ容量が 1 K バイトであれば、アドレス信号 7 は 10 ビット（ $m = 10$ 、 $A 9 \sim A 0$ ）、メモリ容量が 64 K バイトであれば、アドレス信号 7 は 16 ビット（ $m = 16$ 、 $A 15 \sim A 0$ ）となる。

【 0 0 0 7 】

制御回路 8 が ROM 回路 1 からデータを読み出す場合、制御回路 8 は ROM 回路 1 を選択していることを示す CS 信号（チップセレクト信号）12 およびアドレス信号 7 を出力する。アドレス信号 7 は、ROM 回路 1 のアドレスデコード回路 3 に入力され、メモリセルアレイ 2 の特定のアドレスを選択するワード線 5 に変換される。ワード線 5 で示されたメモリセルアレイ 2 の特定アドレスのデータは、データ出力回路 4 を通して出力される。データ出力信号 6 は、制御回路 8 のデータ処理回路 10 に入力され、データに応じた処理がされる。

【 0 0 0 8 】

ここで、図 11 を用いて、CS 信号 12、アドレス信号 7、データ出力信号 6 のタイミングについて説明する。

【 0 0 0 9 】

図 11（a）は、制御回路 8 が ROM 回路 1 から 1 回だけデータを読み出す場合の信号タイミングを示している。図 11（a）において、まず、制御回路 8 のデータ処理回路 10 が CS 信号 12 を、アドレス生成回路 9 がアドレス信号 7 を出力する。CS 信号 12 が論理「H」レベルにある期間（ROM 選択期間）、ROM 回路 1 は入力されたアドレス信号 7 が有効なアドレスであると判断し、有効なデータを制御回路 8 のデータ処理回路 10 に出力する。

【0010】

また、図11(b)は、制御回路8がROM回路1から連続してデータを読み出す場合の信号タイミングを示している。図11(b)において、CS信号12は、一旦論理「H」レベルになると、連続してデータを読み出している期間中、論理「H」レベルを保持する。アドレス信号7は、ROM回路1からデータを読み出す毎に（すなわち1サイクル毎に）インクリメントされる。図11(b)には、下位4ビット（A3～A0）のみの変化タイミングを示している。一例として、アドレス信号の下位4ビット（A3～A0）の変化は、1111→0000→0001→0010である。これらのアドレス信号に対応した有効なデータが順次、制御回路8のデータ処理回路10に出力される。

【0011】

なお、ここでは、CS信号12が論理「H」レベルにある期間をROM選択期間とし、論理「L」レベルにある期間をROM非選択期間としたが、極性は任意であり、ROM回路1に依存する。

【0012】

次に、図12を用いて、制御回路8のアドレス生成回路9についてさらに説明する。図12(a)は、アドレス生成回路9の構成を示すブロック図で、図12(b)は、クロック11に対するアドレス信号7のタイミング図である。なお、図12(b)には、アドレス信号7としてA3～A0の下位4ビットのみを例示している。

【0013】

図12(a)において、アドレス生成回路9は、外部からのクロック11を分周するカウンタ回路16で構成されている。アドレス信号7が、mビット（mは整数）の場合、カウンタ回路16の段数はm段であり、クロック11を $1/2$ 分周した信号がA0、 $(1/2)^2 (= 1/4)$ 分周した信号がA1、 $(1/2)^3 (= 1/8)$ 分周した信号がA2、 $(1/2)^4 (= 1/16)$ 分周した信号がA3、以下順次 $1/2$ ずつ分周され、 $(1/2)^m$ 分周した信号がA(m-1)であり、それぞれ、出力バッファ17を通して出力される。

【0014】

図 1 2 (b) に示すように、クロック 1 1 の立ち下がりエッジで、カウント回路 1 6 がカウントアップしていき、各アドレス信号が変化する。なお、クロック 1 1 の立ち上がりエッジでカウントを行うことも可能である。

【0 0 1 5】

【発明が解決しようとする課題】

しかしながら、上述したような従来の半導体集積回路装置では、ROM 回路 1 から連続してデータを読み出す場合に、アドレス信号 7 の変化する確率が、約 5 0 % となり、ROM 回路 1 のアドレスデコード回路 3 および制御回路 8 のアドレス生成回路 9 で消費される電流が大きくなるという問題があった。

【0 0 1 6】

これについて、図 1 3 から図 1 5 を用いて説明する。

【0 0 1 7】

図 1 3 は、図 1 2 のアドレス生成回路 9 におけるアドレス信号 7 の遷移表である。ここでは、アドレス信号 7 として A 3 ~ A 0 の下位 4 ビットのみを例示している。図 1 3 において、アドレス信号 7 が 0 0 0 0 → 0 0 0 1 へと変化する場合、最下位ビット A 0 が 0 → 1 に変化しているだけなので、変化ビット数は 1 である。アドレス信号 7 が 0 1 1 1 → 1 0 0 0 へと変化する場合、全ビットが変化しているので、変化ビット数は 4 である。また、図 1 3 の 1 行目における 0 0 0 0 という状態は、前の状態が 1 1 1 1 であるから、やはり変化ビット数は 4 となる。

【0 0 1 8】

したがって、ROM 回路 1 から連続してデータを読み出している場合、図 1 3 に示す 1 6 サイクルの間にアドレス信号が変化する平均変化ビット数は、 $(4 + 1 + 2 + 1 + 3 + 1 + 2 + 1 + 4 + 1 + 2 + 1 + 3 + 1 + 2 + 1) / 16 = 30 / 16 \approx 2$ ビットとなる。

【0 0 1 9】

また、平均変化確率は、2 ビット / 4 ビット = 5 0 % となる。アドレス信号 7 のビット数が増えても同様に、アドレス信号 7 の変化確率は、平均 5 0 % となる。

【 0 0 2 0 】

次に、このようなアドレス信号の変化が消費電流に及ぼす影響について、図 1 4 を用いて説明する。

【 0 0 2 1 】

図 1 4 は、ROM 回路 1 のアドレスデコード回路 3 の一構成例を示す回路図であり、アドレス信号 7 の下位 4 ビット A 3 ～ A 0 のデコード回路のみを示している。図 1 4 において、各信号 A 3 ～ A 0 は、ROM 回路 1 を選択していることを示す CS 信号 1 2 で制御され、CS 信号 1 2 が論理「H」レベルの場合に有効となる。

【 0 0 2 2 】

CS 信号 1 2 が論理「H」レベルの場合、4 個の 2 入力 NAND 回路からなる NAND 回路群 2 0 および 4 個のインバータ回路からなるインバータ回路群 3 0 によって、A 3 ～ A 0 の反転信号および非反転信号が生成される。NAND 回路群 4 0 は、A 1 および A 0 のデコード回路、NAND 回路群 4 1 は、A 3 および A 2 のデコード回路となる。NAND 回路群 4 0、4 1 でデコードされた信号は、さらに 1 6 個の 2 入力 NOR 回路からなる NOR 回路群 5 0 によって、A 3 ～ A 0 のデコード信号 1 6 本に変換される。

【 0 0 2 3 】

例えば、2 入力 NOR 回路 5 0 1 は、A 3 ～ A 0 がすべて論理「L」である場合に、論理「H」レベル（すなわち選択されていることを示し、その他の組み合わせは非選択である）を出力し、2 入力 NOR 回路 5 0 2 は、A 3 ～ A 0 がすべて論理「H」である場合に、論理「H」レベル（すなわち選択されていることを示し、その他の組み合わせは非選択である）を出力する。

【 0 0 2 4 】

これらの 1 6 本の信号は、さらに上位のアドレス信号のデコード結果と組み合わせられ、最終的にワード線 5 の信号となる。

【 0 0 2 5 】

ここで、制御回路 8 が、ROM 回路 1 から連続してデータを読み出している場合、CS 信号 1 2 は常に論理「H」レベルであるため、アドレス信号 7 の変化に

ともない、上述のNAND回路群20の2入力NAND回路、さらにそれに接続されているインバータ回路群30のインバータ回路では必ず信号反転が生じ、電流を消費する。また、NAND回路群40、41およびNOR回路群50でも信号の組み合わせにより、信号反転が生じる。

【0026】

また、複数のアドレス信号が同時に変化した場合、静的には反転しない回路が、動的に反転する可能性はある。これについて、図15を用いて説明する。

【0027】

図15(a)は、図14に示すアドレスデコード回路3から、A1とA0に関するデコード部を抜き出した回路図で、図15(b)は、A1とA0の変化が同時である場合、図15(c)は、A1の変化がA0よりも遅い場合、図15(d)は、A0の変化がA1よりも遅い場合の、それぞれにおける2入力NAND回路401～404からのそれぞれの出力信号のタイミング図である。

【0028】

図15において、A1が0→1、A0が1→0に変化した場合、その変化が全くの同時であれば、2入力NAND回路402の出力信号S402が1→0に変化し、2入力NAND回路403の出力信号S403が、0→1に変化するだけである(図15(b))。

【0029】

ところが、図15(c)および図15(d)に示すように、2入力NAND回路401および404においても、2つの入力信号のうち、どちらか一方がマスクレイアウト的な配線遅延の違いや、アドレス信号から入力に至るまでの回路段数の違いで、わずかでも遅延すれば、その遅延の間に動作し、電流を消費する(これは、一般に、ハザードと呼ばれる)。しかも、このとき、わずかの遅延の間に出力信号(図15(c)では出力信号S401、図15(d)では出力信号S404)が2回反転する。

【0030】

アドレス信号の平均変化確率が50%もあれば、このようなハザードはアドレスデコード回路3内において頻発する。このようにして、アドレスデコード回路

3における消費電流が増大する。通常、ROM回路1で消費される電流のうち、20～30%がアドレスデコード回路3内で消費される。

【0031】

また、制御回路8とROM回路1との間のアドレス信号7用配線は、マスクレイアウト的に距離が長くなりやすく、負荷容量が大きくなる。アドレス信号7の平均変化確率が高くなればなるほど、アドレス生成回路9の出力バッファ17（合計でm個）で消費される電流が増大する。

【0032】

本発明は、上記従来の問題点に鑑みてなされたものであり、その目的は、ROM回路やRAM回路に対する連続アドレスによるデータアクセス時に、アドレス生成回路およびアドレスデコード回路での消費電流を低減し、全体として低消費電力化を図った半導体集積回路装置を提供することにある。

【0033】

また、本発明の他の目的は、連続してカウント値を出力するカウンタタイマ回路での消費電流を低減し、全体として低消費電力化を図った半導体集積回路装置を提供することにある。

【0034】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第1の半導体集積回路装置は、半導体メモリ回路と、半導体メモリ回路に対するデータアクセスを制御する制御回路とが内蔵された半導体集積回路装置であって、制御回路は、半導体メモリ回路に対して、連続アドレスによるデータアクセスを行なう際に、1ビットのみ値が順次変化する複数ビットのアドレス信号を出力することを特徴とする。この場合、半導体メモリ回路はROM回路、RAM回路、またはその両方からなる。

【0035】

この構成によれば、制御回路が半導体メモリ回路に対して連続アドレスによるデータアクセスを行なう際に消費される電流を大幅に低減することができる。また、半導体メモリ回路としてROM回路とRAM回路の両方を含む場合、1つの制御回路で両方を制御することができ、さらに有効になる。

【 0 0 3 6 】

第 1 の半導体集積回路装置において、制御回路は、入力されるクロックを分周して、ビット 0 を最下位ビットとした複数 (m) ビットのアドレス信号を生成するアドレス生成回路を含み、アドレス生成回路は、クロックを $(1/4) \times (1/2)^i$ 分周してビット i ($i = 0 \sim (m-1)$) を生成するとともに、各ビットの位相をすぐ下位のビットの周期に対して $1/4$ 周期ずつ遅延させて、1 ビットのみ値が順次変化する複数ビットのアドレス信号を出力することが好ましい。

【 0 0 3 7 】

この構成によれば、連続したアドレスの変化に対し、アドレス信号の変化が 1 ビットのみとなるアドレス生成回路を容易に構成することができる。

【 0 0 3 8 】

この場合、第 1 の半導体集積回路装置は、半導体メモリ回路に記憶されているデータの配置を、前記アドレス生成回路からのアドレス信号の変化に対応した配置に変換する手段を備えることが好ましい。

【 0 0 3 9 】

この構成によれば、半導体メモリ回路に何ら変更を加えることなく、半導体メモリ回路に格納されている、従来手法で開発されたプログラムを、制御回路で実行することができる。

【 0 0 4 0 】

前記の目的を達成するため、本発明に係る第 2 の半導体集積回路装置は、タイマカウンタ回路が内蔵された半導体集積回路装置であって、タイマカウンタ回路は、入力されるクロックを所定の分周比ずつ分周して複数の分周クロックを出力するカウンタ回路と、カウンタ回路から出力される下位のビットに対応する分周クロックに基づいて、すぐ上位のビットに対応する分周クロックをデータとして格納し、1 ビットのみ値が順次変化するカウント値を出力するカウンタレジスタと、所定の比較設定値を格納するコンペアレジスタと、カウンタレジスタからのカウント値とコンペアレジスタからの所定の比較設定値とを比較して、その比較結果を出力するコンペア回路とを含むことを特徴とする。

【 0 0 4 1 】

この構成によれば、コンペアレジスタ方式により時間計測を行うタイマカウンタ回路における消費電流を低減することができる。

【 0 0 4 2 】

この場合、第 2 の半導体集積回路装置は、コンペアレジスタに格納されている比較設定値を、コンペアレジスタからのカウンタ値の変化に対応した値に変換する手段を備えることが好ましい。

【 0 0 4 3 】

この構成によれば、コンペアレジスタおよびコンペア回路に何ら変更を加えることなく、従来手法で開発されたプログラムを実行することができる。

【 0 0 4 4 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【 0 0 4 5 】

（第 1 の実施形態）

まず、本発明の第 1 の実施形態として、ROM 回路が内蔵された半導体集積回路装置について、図 1 から図 4 を参照して説明する。

【 0 0 4 6 】

図 1 は、本発明の第 1 の実施形態 1 による半導体集積回路装置の構成を示すブロック図である。なお、図 1 において、図 8 と同様の構成要素については同一の符号を付して説明を省略する。本実施形態が従来例と異なる点は、制御回路 6 8 に含まれるアドレス生成回路 6 9 の内部構成、および連続アドレスにより ROM 回路 1 からデータを読み出す際に、アドレス生成回路 6 9 から出力されるアドレス信号 6 7 のタイミングにある。

【 0 0 4 7 】

ここで、図 2 を用いて、CS 信号 1 2、アドレス信号 6 7、およびデータ出力信号 6 のタイミングについて説明する。

【 0 0 4 8 】

図 2（a）は、制御回路 6 8 が ROM 回路 1 から 1 回だけデータを読み出す場合の信号タイミングを示す図で、図 2（b）は、制御回路 6 8 が ROM 回路 1 か

ら連続してデータを読み出す場合の信号タイミングを示す図である。

【0049】

図2(a)に示すように、制御回路68がROM回路1から1回だけデータを読み出す場合は、図11(a)の従来例と同じアドレス信号となる。

【0050】

しかし、図2(b)に示すように、制御回路68がROM回路1から連続アドレスによりデータを読み出す場合、アドレス生成回路69から順次出力されるアドレス信号67は従来例と異なる。

【0051】

すなわち、ROM回路1からデータを読み出す毎に（すなわち1サイクル毎に）、一例として示す、アドレス信号67の下位4ビット(A3～A0)は、1000→0000(A3のみが1→0に変化)→0001(A0のみが0→1に変化)→0011(A1のみが0→1に変化)と変化する。これらのアドレスに対応した有効なデータが順次、制御回路68のデータ処理回路10に出力される。

【0052】

このように、複数(m)ビットのアドレス信号67のうち、変化するのは1ビットのみである。

【0053】

図3は、この様子をアドレス信号67の遷移表にしたものである。図3に示すように、複数(m)ビットのアドレス信号のうち、変化するのはつねに1ビットのみである。これにより、従来のアドレス生成回路9におけるアドレス信号7の平均変化確率が50%であるのに対し、本実施形態のアドレス生成回路69におけるアドレス信号67の変化率は、1ビット/mビット=1/mとなる。すなわち、m=10であれば10%、m=16であれば約6%であり、従来の50%(mに依存しない)に比べ、大幅にアドレス信号の変化率が低減される。

【0054】

このように、アドレス信号67の変化率が大きく低減されることから、図14を用いて説明したようなアドレスデコード回路3で消費される電流が大きく減少する。また、アドレス信号が1ビットしか変化しないので、図15を用いて説明

したようなハザードによって回路が動作することはない。

【0055】

通常、ROM回路1で消費される電流のうち、20～30%がアドレスデコード回路3内で消費されるが、本実施形態によれば、10%以下に低減される。

【0056】

ここで、図4を用いて、制御回路68に含まれるアドレス生成回路69についてさらに説明する。

【0057】

図4において、アドレス生成回路69は、外部からのクロック(CLK)11を分周するカウンタ回路76と、カウンタ回路76の出力をサンプリングして位相調整するサンプリング回路77とで構成されている。アドレス信号67が、mビット(mは整数)の場合、カウンタ回路76の段数はm段である。カウンタ回路76では、1/2分周クロック(1/2CLK)、1/4分周クロック(1/4CLK)、…、 $(1/2)^m$ 分周クロック($(1/2)^m$ CLK)が生成される。ここで、カウンタ回路76は、クロック11の立ち下がりエッジでカウントダウンする方式を用いている。

【0058】

従来例では、図12で説明したように、分周クロックがそのまま出力バッファ17を通して、アドレス信号7として出力されていたが、本実施形態のアドレス生成回路69では、分周クロックがサンプリング回路77と出力バッファ17を通して、アドレス信号67として出力される。サンプリング回路77によって、各分周クロックは位相調整され、図3のアドレス遷移表に示す論理遷移を行なう。

【0059】

例えば、アドレス信号67の最下位ビットA0は、1/4分周クロック(1/4CLK)を1/2分周クロック(1/2CLK)の立ち下がりエッジでサンプリングした信号である。すなわち、最下位ビットA0は、1/4分周クロック(1/4CLK)を1/4周期だけ遅延させた信号となる。

【0060】

以下、最上位ビットから2ビット目のA (m-2) までは同様にして生成される。すなわち、A 1は1/8分周クロック (1/8 CLK) を1/4周期だけ遅延させた信号、A 2は1/16分周クロック (1/16 CLK) を1/4周期だけ遅延させた信号、A 3は1/32分周クロック (1/32 CLK) を1/4周期だけ遅延させた信号、最上位ビットから2ビット目のA (m-2) は(1/2)^m分周クロック ((1/2)^m CLK) を1/4周期だけ遅延させた信号となる。

【0061】

なお、最上位ビットA (m-1) も同様に生成することは可能であるが、カウンタ回路76の段数が1段多く必要となること、また2^m回カウント後に初期値に戻る必要があることを考慮して、(1/2)^m分周クロックを出力バッファ18で反転した信号を最上位ビットA (m-1) として用いている。

【0062】

このようにして、制御回路68がROM回路1から連続アドレスによりデータを読み出す場合、1ビットしか順次変化しない複数ビットのアドレス信号67を生成するアドレス生成回路69を簡単に構成することができる。

【0063】

なお、サンプリング回路77の分だけ、回路規模が大きくなるが、アドレス生成回路69で消費される電流のうち、大きな負荷容量がつながる出力バッファ17および18で消費される電流が支配的であるので、問題にはならない。

【0064】

(第2の実施形態)

次に、本発明の第2の実施形態について、図5および図6を参照して説明する。

【0065】

通常、ROM回路1のメモリセルアレイ2に記憶されているデータは、データ処理回路10を動作させるための命令データであったり、データ処理回路10が処理に応じて使用するテーブルデータであったりする。ROM回路に記憶させるデータの開発時 (いわゆるプログラム開発時)、アドレスの配置は従来のように

、1 ずつ増加している方がわかりやすい。したがって、本実施形態においても、従来と全く同じの手法でプログラム開発を行った後、データ内容がアドレス生成回路 6 9 のアドレス信号 6 7 の変化に対応した配置に変換される。

【0 0 6 6】

まず、ROM 回路 1 に記憶させるデータが、テーブルデータや、アドレスが変化するままに処理される命令データであれば、再配置方法 1 として、図 1 1 に示す従来のアドレス遷移表と図 3 に示す本実施形態のアドレス遷移表との関係に従って再配置すればよい。この再配置方法について、図 5 を用いて説明する。

【0 0 6 7】

図 5 (a) は、本発明の第 2 実施形態における ROM 回路 1 へのデータを再配置する手順を示すフローチャート、図 5 (b) は、プログラム開発時に図 5 (a) のステップに沿って再配置されるデータ内容を示す図、図 5 (c) は、プログラム実行時のデータ内容を示す図である。

【0 0 6 8】

図 5 (a) において、まず、従来手法によるプログラム開発を行ない (S 5 0 1)、A 1 の値を見て、A 1 = 1 の場合、上位と下位のデータ順序を入換える (すなわち、A 0 = 0 と A 0 = 1 のデータを入換える) (S 5 0 2)。次に、A 2 = 1 の場合、上位 2 つのデータと下位 2 つのデータの順序を入換える (すなわち、A 1 = 0 と A 1 = 1 のデータを入換える) (S 5 0 3)。さらに、A 3 = 1 の場合、上位 4 つのデータと下位 4 つのデータの順序を入換える (すなわち、A 2 = 0 と A 2 = 1 のデータを入換える) (S 5 0 4)。これにより、データ作成時のデータ内容が、図 5 (b) に示すように再配置される。

【0 0 6 9】

このようにして、A (m - 1) = 1 の場合まで、同様の操作を繰返せば (S 5 0 5)、データの再配置が完了する。再配置されたデータは、ROM 回路 1 のメモリセルアレイ 2 に配置され (S 5 0 6)、プログラムとして実行される (図 5 (c))。

【0 0 7 0】

こうして、ROM 回路 1 には何ら変更を加えることなく、従来手法で開発され

たプログラムが制御回路 6 8 で実行される。これによって、制御回路 6 8 が、ROM 回路 1 から大量にテーブルデータを読み出す場合、あるいは順次処理されるような命令データを実行する場合に、半導体集積回路装置の消費電流を低減することができる。

【 0 0 7 1 】

ところで、命令コードの中には、ジャンプ命令や分岐命令などがあり、アドレスが順次増加するような処理では済まない場合がある。このような命令データを含む場合、再配置方法 1 によるデータの再配置を実施する前に、ジャンプ命令や分岐命令の飛び先アドレスをアドレス遷移表の関係に従って変換する。この変換方法について、図 6 を用いて説明する。

【 0 0 7 2 】

図 6 (a) は、本発明の第 2 実施形態における ROM 回路 1 の飛び先アドレスを変換する手順を示すフローチャート、図 6 (b) は、プログラム開発時に図 6 (a) のステップに沿って変換される飛び先アドレス内容を示す図である。

【 0 0 7 3 】

図 6 (a) において、まず、従来手法によるプログラム開発を行ない (S 6 0 1)、そのプログラムについてジャンプ (JUMP) 命令、分岐 (BRA) 命令を検索する (S 6 0 2)。次に、検索された JUMP 命令や BRA 命令について、飛び先アドレスのビット A1 の値を見て、A1 = 1 の場合、A0 を反転する (JUMP 命令の飛び先アドレス 0 1 1 1 → 0 1 1 0 に変換、BRA 命令の飛び先アドレス 1 1 0 1 はそのまま) (S 6 0 3)。次に、飛び先アドレスのビット A2 = 1 の場合、A1 を反転する (JUMP 命令の飛び先アドレス 0 1 1 0 → 0 1 0 0 に変換、BRA 命令の飛び先アドレス 1 1 0 1 → 1 1 1 1 に変換) (S 6 0 4)。さらに、飛び先アドレスのビット A3 = 1 の場合、A2 を反転する (JUMP 命令の飛び先アドレス 0 1 0 0 はそのまま、BRA 命令の飛び先アドレス 1 1 1 1 → 1 0 1 1 に変換) (S 6 0 5)。これにより、プログラム開発時の飛び先アドレスが、図 6 (b) に示すように変換される。

【 0 0 7 4 】

このようにして、 $A(m-1) = 1$ の場合まで、同様の操作を繰返せば、アド

レスの変換が完了する（S 6 0 6）。その後、図 5 に示す再配置方法によりデータの再配置を行うことで（S 6 0 7）、再配置されたデータが、ROM 回路 1 のメモリセルアレイ 2 に配置される（S 6 0 8）。

【0 0 7 5】

これによって、ROM 回路 1 には何ら変更を加えることなく、従来手法で開発されたプログラムが、制御回路 6 8 で実行される。もちろん、ジャンプ命令や分岐命令が実行されれば、アドレス信号 6 7 の変化は複数ビットとなる。

【0 0 7 6】

（第 3 の実施形態）

次に、本発明の第 3 の実施形態として、RAM 回路を内蔵した半導体集積回路装置について、図 7 を参照して説明する。

【0 0 7 7】

図 7 は、本発明の第 3 の実施形態による半導体集積回路装置の構成を示すブロック図である。

【0 0 7 8】

第 1 および第 2 の実施形態において、制御回路 6 8 が ROM 回路 1 からテーブルデータを読み出すときや順次処理されるような命令データを実行する場合に、アドレス生成回路 6 9 が出力するアドレス信号 6 7 の変化が 1 ビットのみであることが、消費電流の低減に有効であることを述べた。このことは、本実施形態のように、制御回路 6 8 が RAM 回路 8 1 を制御する場合でも、消費電流の低減に有効な場合がある。

【0 0 7 9】

例えば、データ処理回路 1 0 が他の回路と大量のデータ送受信を行なう場合に、RAM 回路 8 1 をデータバッファ領域として使用する場合や、データ処理回路 1 0 がある処理を実行中に、他の処理をする必要性が発生したときに、現在処理している内容の退避メモリとして RAM 回路 8 1 を使用する場合である。このような場合、制御回路 6 8 は連続して RAM 回路 8 1 のデータを読み出したり、RAM 回路 8 1 にデータを書き込んだりする。

【0 0 8 0】

RAM回路 81 をデータバッファ領域、あるいは退避メモリとして使用し、データ処理回路 10 が自動的にアドレス生成回路 69 を制御して、アドレス信号 67 をインクリメントまたはデクリメントする場合、プログラムとしてはスタートアドレスを指定するだけである。

【0081】

また、プログラムで逐次、RAM回路 81 に対するアドレスを指定する場合には、図 6 の飛び先アドレス変換方法を用いて、アドレス変換を行う。これによって、RAM回路 81 には何ら変更を加えることなく、従来手法で開発されたプログラムが、制御回路 68 で実行される。

【0082】

また、半導体集積回路装置においては、ROM回路とRAM回路の両方を内蔵するものが数多くあり、同じ制御回路で両方を制御することは非常に有効である。

【0083】

(第4の実施形態)

次に、本発明の第4の実施形態として、タイマカウンタ回路が内蔵された半導体集積回路装置について、図8および図9を参照して説明する。

【0084】

図8は、本発明の第4の実施形態による半導体集積回路装置に内蔵されるタイマカウンタ回路の構成を示すブロック図である。

【0085】

本実施形態と第1の実施形態との相違点は、アドレス生成回路 69 の回路構成を、タイマカウンタ回路 91 のカウンタ回路 76 およびカウンタレジスタ 92 として応用している点にある。すなわち、第1の実施形態におけるカウンタ回路 76 をカウンタ回路 76 とし、サンプリング回路 77 をカウンタレジスタ 92 として用いている。

【0086】

図8において、タイマカウンタ回路 91 は、外部からのクロック 11 を分周する m 段のカウンタ回路 76 と、カウントされた値を示すカウンタレジスタ 92 と

、計測すべき時間をカウント値（TC0～TC（m-1））に対する比較設定値（CP0～CP（m-1））として予め格納しておくコンペアレジスタ93と、カウンタレジスタ92からのカウント値とコンペアレジスタ93の比較設定値とを比較するコンペア回路94とで構成されている。コンペア回路94は、カウンタレジスタ92からのカウント値とコンペアレジスタ93の比較設定値が一致した場合に、一致信号95（ここでは、論理「H」レベル）を出力する。

【0087】

ここで、カウンタ回路76が動作中、カウンタレジスタ92の各レジスタからの出力値TC0～TC（m-1）は、1ビットしか変化しないので、コンペア回路94の各回路の動作確率は大きく低減される。また、図13を用いて説明したようなハザードも起こりえない。このようにして、コンペア回路94の消費電流を低減することができる。

【0088】

また、計測すべき時間を比較設定値としてコンペアレジスタ93に設定するとき、プログラム開発時には、カウンタ回路76のカウントアップが、従来例で説明したカウンタ回路16のカウントアップに従うことを前提にしたほうが計算しやすい。したがって、本実施形態のタイマカウント回路91においても、従来と全く同じプログラム開発手法でコンペアレジスタ93に比較設定値を格納した後、その値をカウンタレジスタ92からのカウント値の変化に対応した値に変換する。この変換方法について、図9を用いて説明する。

【0089】

図9は、本発明の第4の実施形態におけるコンペアレジスタ93の値を変換する手順を示すフローチャートである。

【0090】

図9において、まず、従来手法によるプログラム開発時に、比較設定値をコンペアレジスタ93に格納し（S901）、コンペアレジスタ93への比較設定値を検索する（S902）。次に、検索したコンペアレジスタ93の比較設定値に対して、CP1の値を見て、CP1=1の場合、CP0の値を反転する（S903）。次に、CP2=1の場合、CP1の値を反転する（S904）。さらに、

CP3 = 1 の場合、CP2 の値を反転する (S905)。このようにして、CP (m - 1) = 1 の場合まで、同様の操作を繰返せば (S906)、コンペアレジスタ 93 の比較設定値の変換が完了する。

【0091】

これによって、コンペアレジスタ 93 およびコンペア回路 94 に何ら変更を加えることなく、従来手法で開発されたプログラムを実行することができる。

【0092】

【発明の効果】

以上説明したように、本発明によれば、半導体集積回路装置が半導体メモリ回路として ROM 回路、RAM 回路、またはその両方を内蔵する場合、制御回路が半導体メモリ回路に対して連続アドレスによるデータアクセスを行なう際に、制御回路のアドレス生成回路および半導体メモリ回路のアドレスデコード回路で消費される電流を低減することができ、全体として低消費電力化を図った半導体集積回路装置を実現することが可能になる。

【0093】

また、半導体集積回路装置がタイマカウンタ回路を内蔵する場合、コンペアレジスタで消費される電流を低減することができ、全体として低消費電力化を図った半導体集積回路装置を実現することが可能になる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態による半導体集積回路装置の構成を示すブロック図

【図 2】 図 1 の半導体集積回路装置において、ROM 回路 1 から 1 回だけデータを読み出す場合 (a)、および ROM 回路 1 から連続してデータを読み出す場合 (b) の CS 信号、アドレス信号、データ出力信号のタイミング図

【図 3】 図 1 のアドレス生成回路 69 におけるアドレス信号下位 4 ビットの遷移表

【図 4】 図 1 のアドレス生成回路 69 の構成を示すブロック図 (a)、クロック、分周クロック、およびアドレス信号のタイミング図 (b)

【図 5】 本発明の第 2 実施形態における ROM 回路 1 へのデータを再配置す

る手順を示すフローチャート（a）、プログラム開発時に図 5（a）のステップに沿って再配置されるデータ内容を示す図（b）、プログラム実行時のデータ内容を示す図（c）

【図 6】 本発明の第 2 実施形態における ROM 回路 1 の飛び先アドレスを変換する手順を示すフローチャート（a）、プログラム開発時に図 6（a）のステップに沿って変換される飛び先アドレス内容を示す図（b）

【図 7】 本発明の第 3 の実施形態による半導体集積回路装置の構成を示すブロック図

【図 8】 本発明の第 4 の実施形態による半導体集積回路装置に内蔵されるタイマカウンタ回路の構成を示すブロック図

【図 9】 図 8 のコンペアレジスタ 9 3 の値を変換する手順を示すフローチャート

【図 1 0】 従来の半導体集積回路装置の構成を示すブロック図

【図 1 1】 図 1 0 の半導体集積回路装置において、ROM 回路 1 から 1 回だけデータを読み出す場合（a）、および ROM 回路 1 から連続してデータを読み出す場合（b）の CS 信号、アドレス信号、データ出力信号のタイミング図

【図 1 2】 従来のアドレス生成回路 9 の構成を示すブロック図（a）、クロックとアドレス信号のタイミング図（b）

【図 1 3】 従来のアドレス生成回路 9 におけるアドレス信号下位 4 ビットの遷移表

【図 1 4】 アドレスデコード回路の部分構成を示す回路図

【図 1 5】 図 1 4 のアドレスデコード回路の部分構成を示す回路図（a）、A 1 と A 0 の変化が同時である場合（b）、A 1 の変化が A 0 よりも遅い場合（c）、A 0 の変化が A 1 よりも遅い場合（d）の、それぞれにおける 2 入力 NAND 回路 4 0 1 ～ 4 0 4 からのそれぞれの出力信号のタイミング図

【符号の説明】

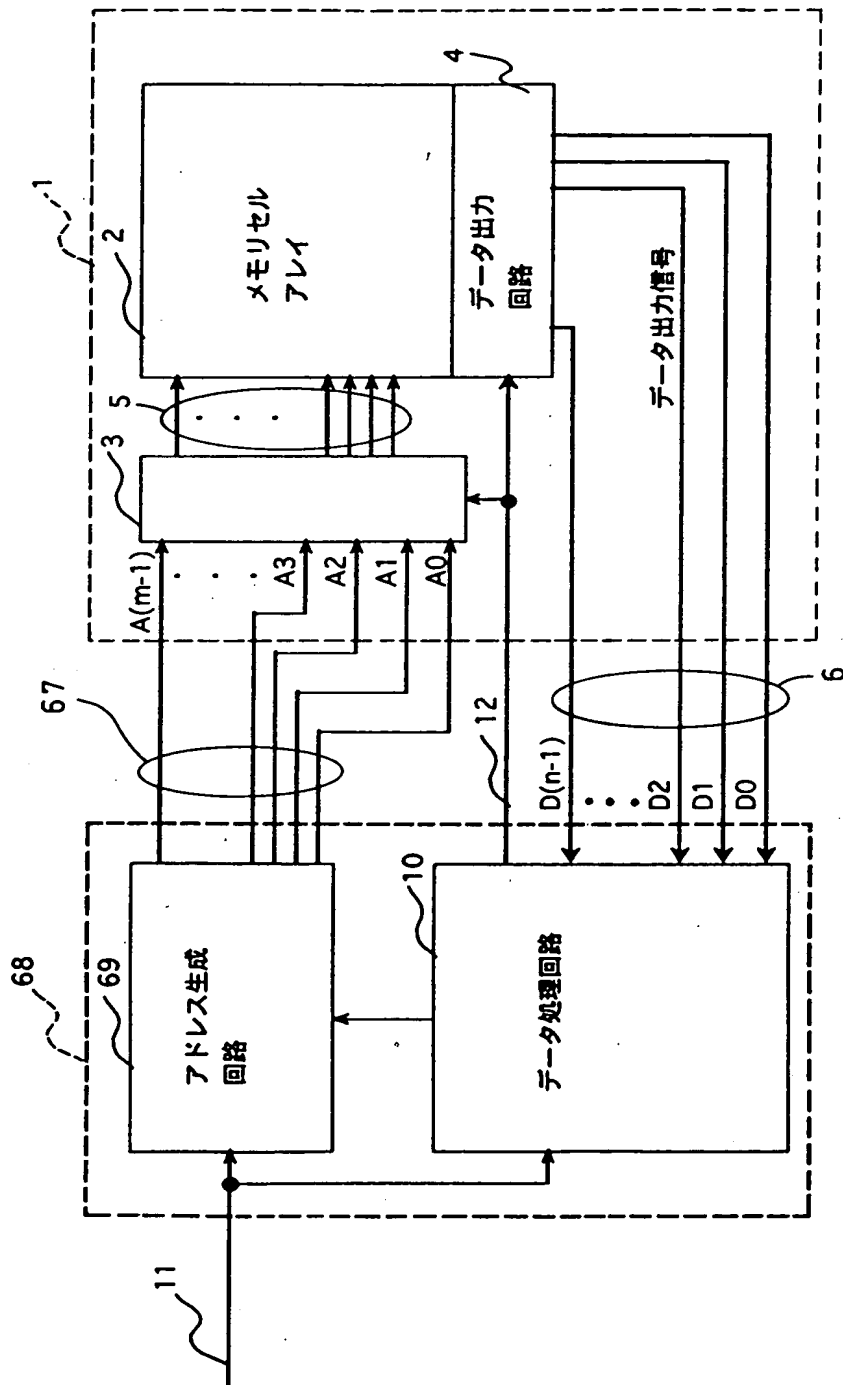
- 1 ROM 回路
- 2 メモリセルアレイ
- 3 アドレスデコード回路

- 4 データ出力回路
- 5 ワード線
- 6 データ出力信号
- 7 アドレス信号
- 8 制御回路
- 9 アドレス生成回路
- 1 0 データ処理回路
- 1 1 クロック
- 1 2 CS 信号 (チップセレクト信号)
- 1 6 カウンタ回路
- 1 7 出力バッファ
- 1 8 出力バッファ
- 2 0、4 0、4 1 NAND 回路群
- 3 0 インバータ回路群
- 5 0 NOR 回路群
- 5 0 1、5 0 2 2 入力 NOR 回路
- 6 7 アドレス信号
- 6 8 制御回路
- 6 9 アドレス生成回路
- 7 6 カウンタ回路
- 7 7 サンプリング回路
- 8 1 RAM 回路
- 8 2 メモリセルアレイ
- 8 3 アドレスデコード回路
- 8 4 データ出力回路
- 8 5 ワード線
- 8 6 データ出力信号
- 9 1 タイマカウンタ回路
- 9 2 カウンタレジスタ

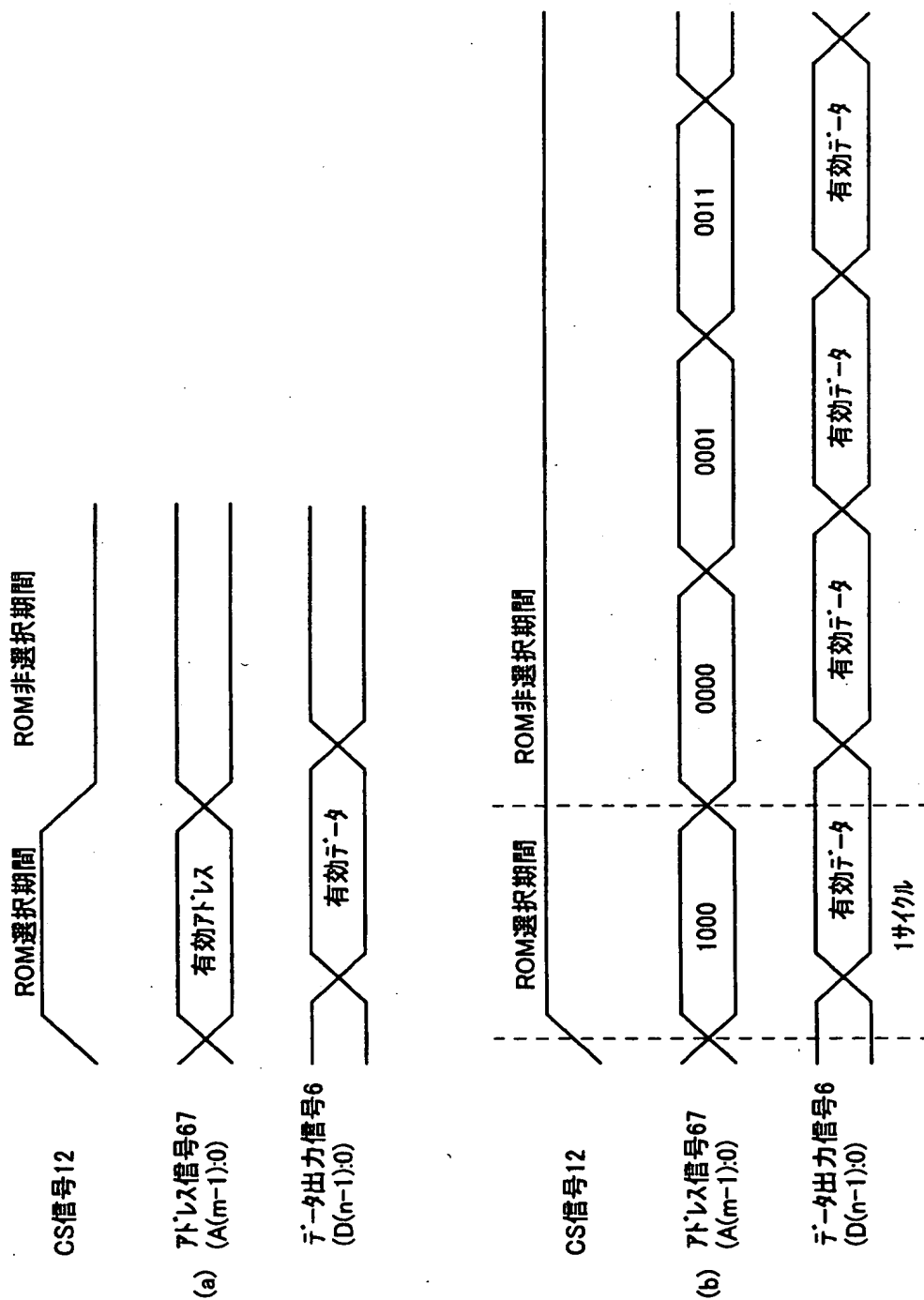
- 9 3 コンペアレジスタ
- 9 4 コンペア回路
- 9 5 一致信号

【書類名】 図面

【図 1】



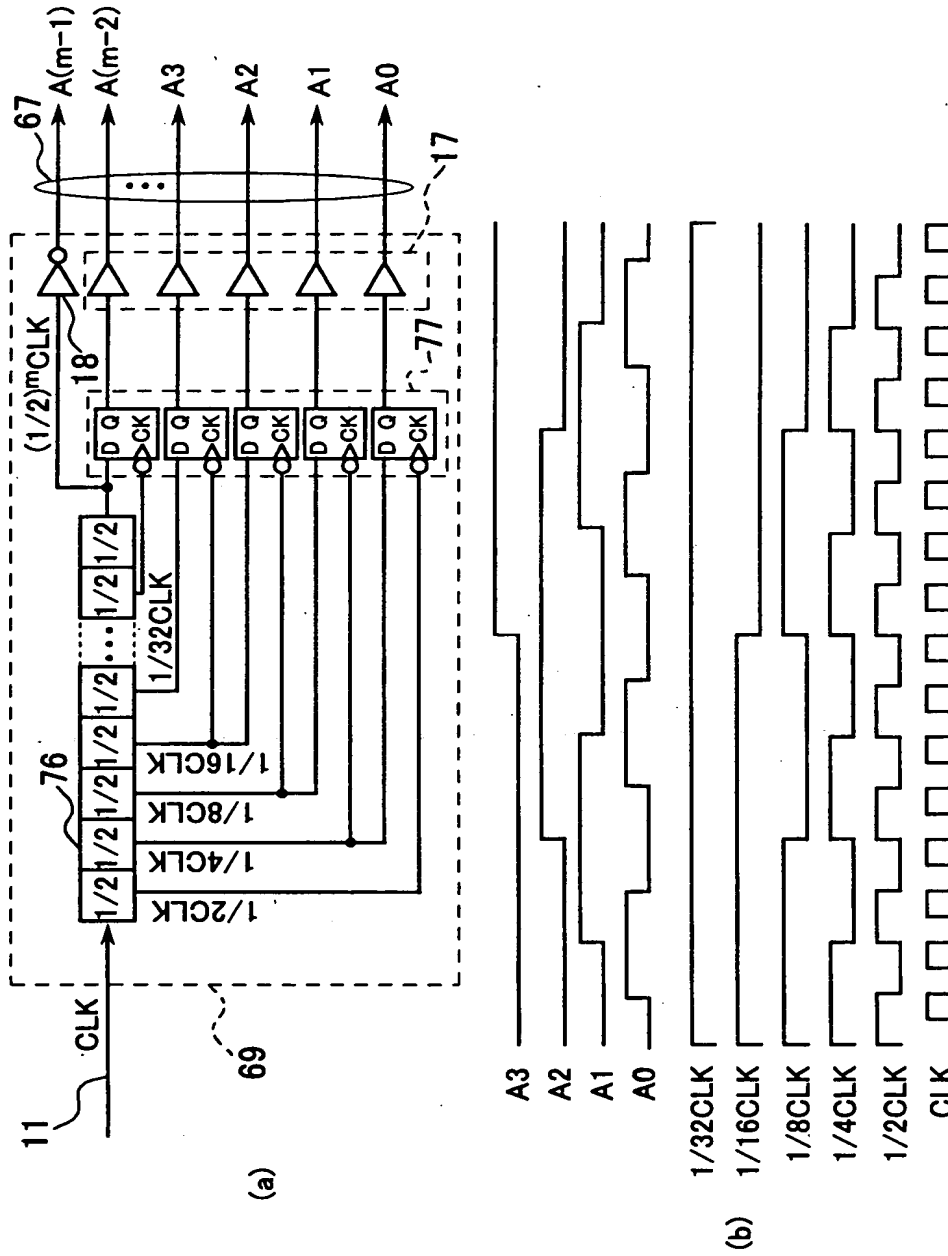
【図 2】



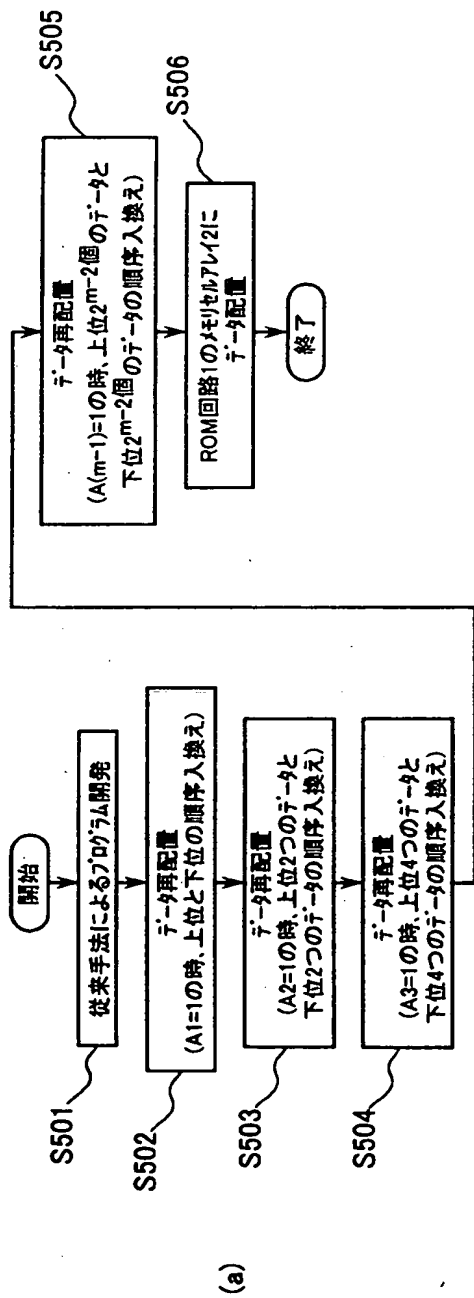
【図 3】

A3	A2	A1	A0	変化ビット数
0	0	0	0	1
0	0	0	1	1
0	0	1	1	1
0	0	1	0	1
0	1	1	0	1
0	1	1	1	1
0	1	0	1	1
0	1	0	0	1
1	1	0	0	1
1	1	0	1	1
1	1	1	1	1
1	1	1	0	1
1	0	1	0	1
1	0	1	1	1
1	0	0	1	1
1	0	0	0	1
計				16

【図 4】



【図 5】



(b)

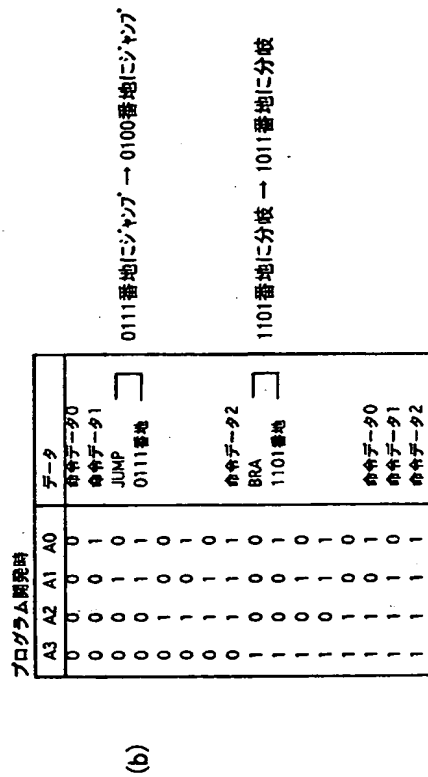
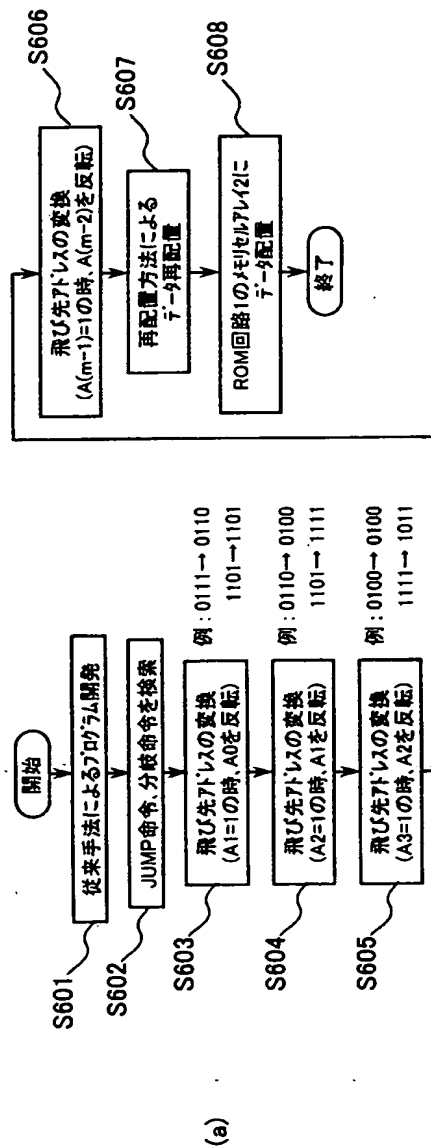
プログラム開発時				再配置 (A1=1)				再配置 (A2=1)				再配置 (A3=1)			
A3	A2	A1	A0	データ作成時	再配置 (A1=1)	再配置 (A2=1)	再配置 (A3=1)	データ作成時	再配置 (A1=1)	再配置 (A2=1)	再配置 (A3=1)	データ作成時	再配置 (A1=1)	再配置 (A2=1)	再配置 (A3=1)
0	0	0	0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0	データ-タ0
0	0	0	1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1	データ-タ1
0	0	1	0	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2	データ-タ2
0	0	1	1	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3	データ-タ3
0	1	0	0	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4	データ-タ4
0	1	0	1	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5	データ-タ5
0	1	1	0	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6	データ-タ6
0	1	1	1	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7	データ-タ7
1	0	0	0	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8	データ-タ8
1	0	0	1	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9	データ-タ9
1	0	1	0	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10	データ-タ10
1	0	1	1	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11	データ-タ11
1	1	0	0	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12	データ-タ12
1	1	0	1	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13	データ-タ13
1	1	1	0	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14	データ-タ14
1	1	1	1	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15	データ-タ15
1	1	1	0	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16	データ-タ16
1	1	1	1	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17	データ-タ17

(c)

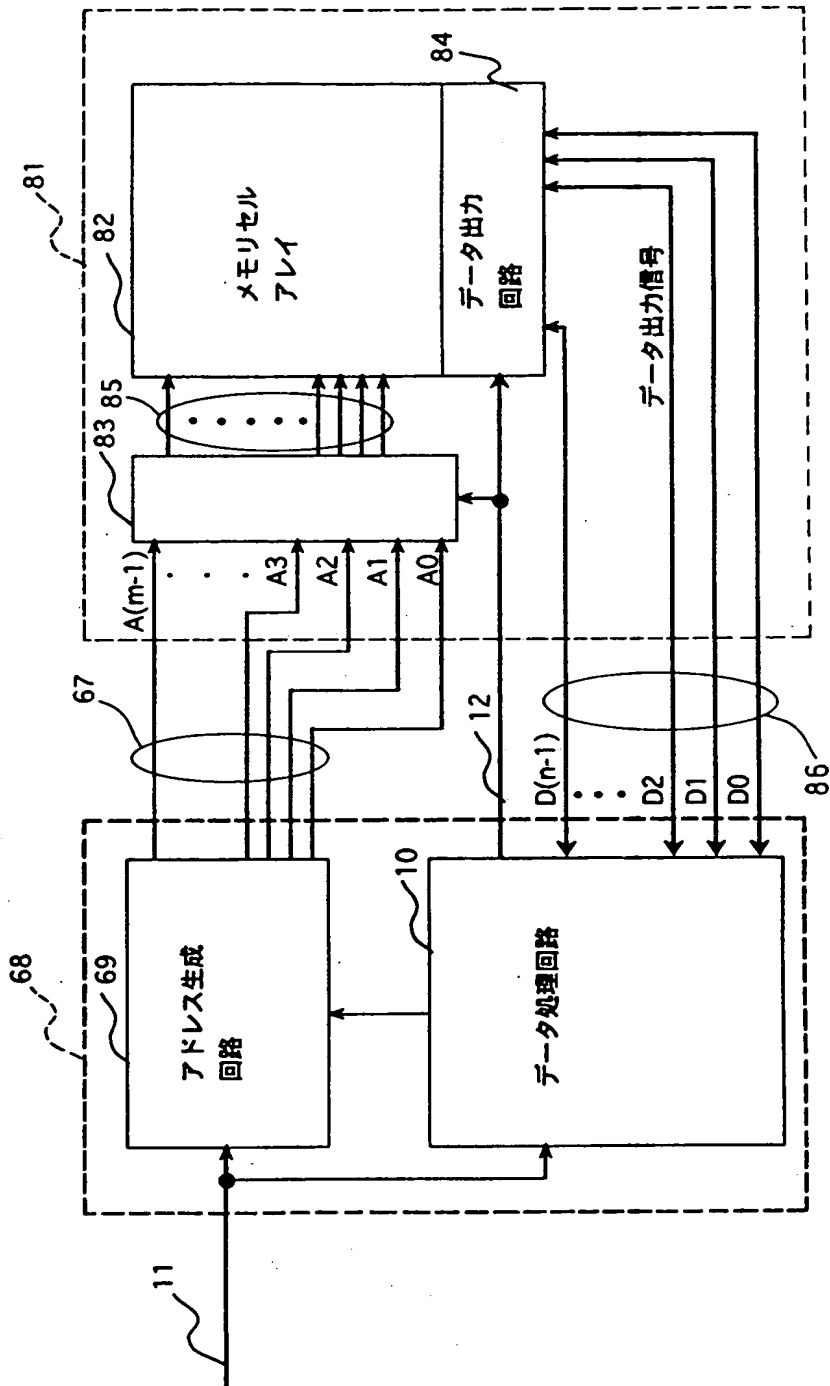
プログラム実行時				データ			
A3	A2	A1	A0	データ	データ	データ	データ
0	0	0	0	データ-タ0	データ-タ0	データ-タ0	データ-タ0
0	0	0	1	データ-タ1	データ-タ1	データ-タ1	データ-タ1
0	0	1	0	データ-タ2	データ-タ2	データ-タ2	データ-タ2
0	0	1	1	データ-タ3	データ-タ3	データ-タ3	データ-タ3
0	1	0	0	データ-タ4	データ-タ4	データ-タ4	データ-タ4
0	1	0	1	データ-タ5	データ-タ5	データ-タ5	データ-タ5
0	1	1	0	データ-タ6	データ-タ6	データ-タ6	データ-タ6
0	1	1	1	データ-タ7	データ-タ7	データ-タ7	データ-タ7
1	0	0	0	データ-タ8	データ-タ8	データ-タ8	データ-タ8
1	0	0	1	データ-タ9	データ-タ9	データ-タ9	データ-タ9
1	0	1	0	データ-タ10	データ-タ10	データ-タ10	データ-タ10
1	0	1	1	データ-タ11	データ-タ11	データ-タ11	データ-タ11
1	1	0	0	データ-タ12	データ-タ12	データ-タ12	データ-タ12
1	1	0	1	データ-タ13	データ-タ13	データ-タ13	データ-タ13
1	1	1	0	データ-タ14	データ-タ14	データ-タ14	データ-タ14
1	1	1	1	データ-タ15	データ-タ15	データ-タ15	データ-タ15
1	0	0	0	データ-タ16	データ-タ16	データ-タ16	データ-タ16
1	0	0	1	データ-タ17	データ-タ17	データ-タ17	データ-タ17

順次処理されるプログラム

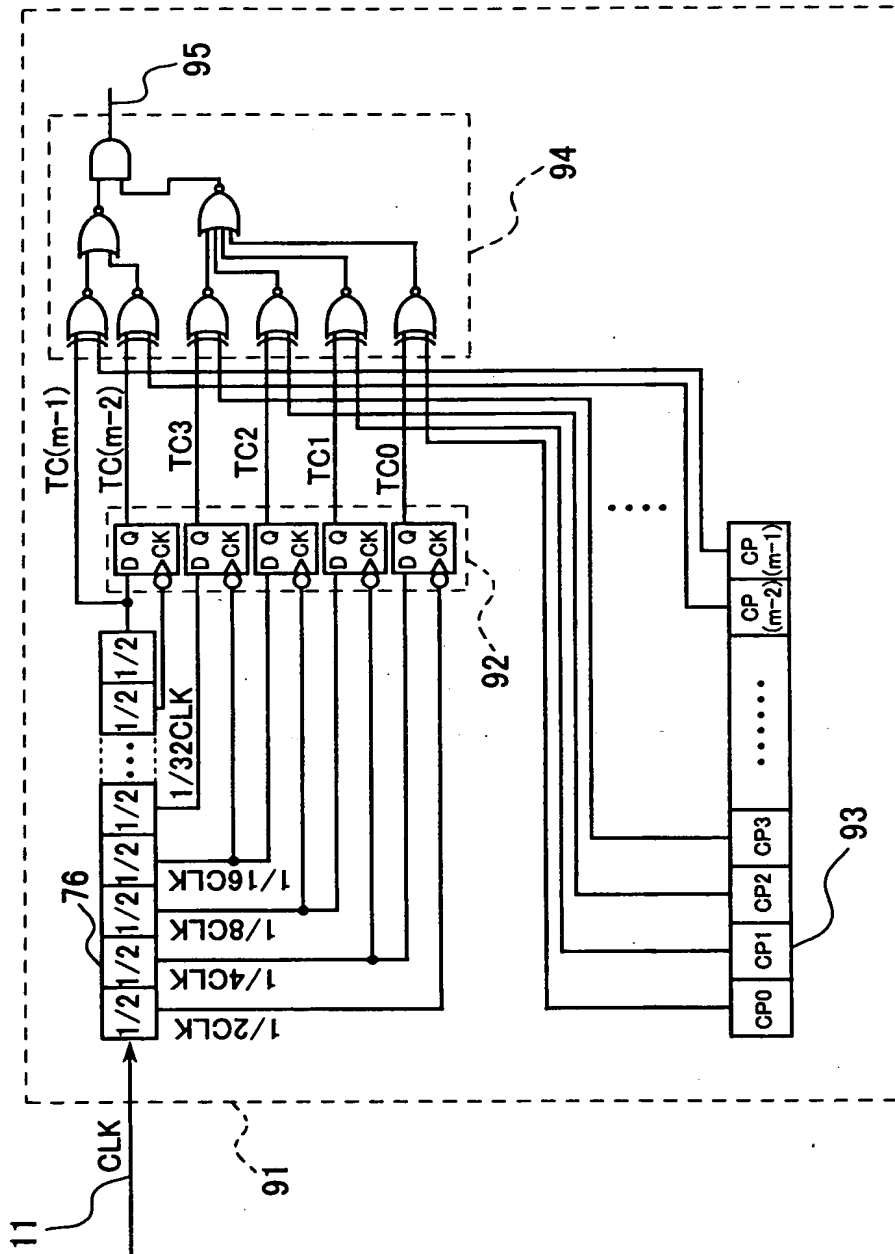
【図 6】



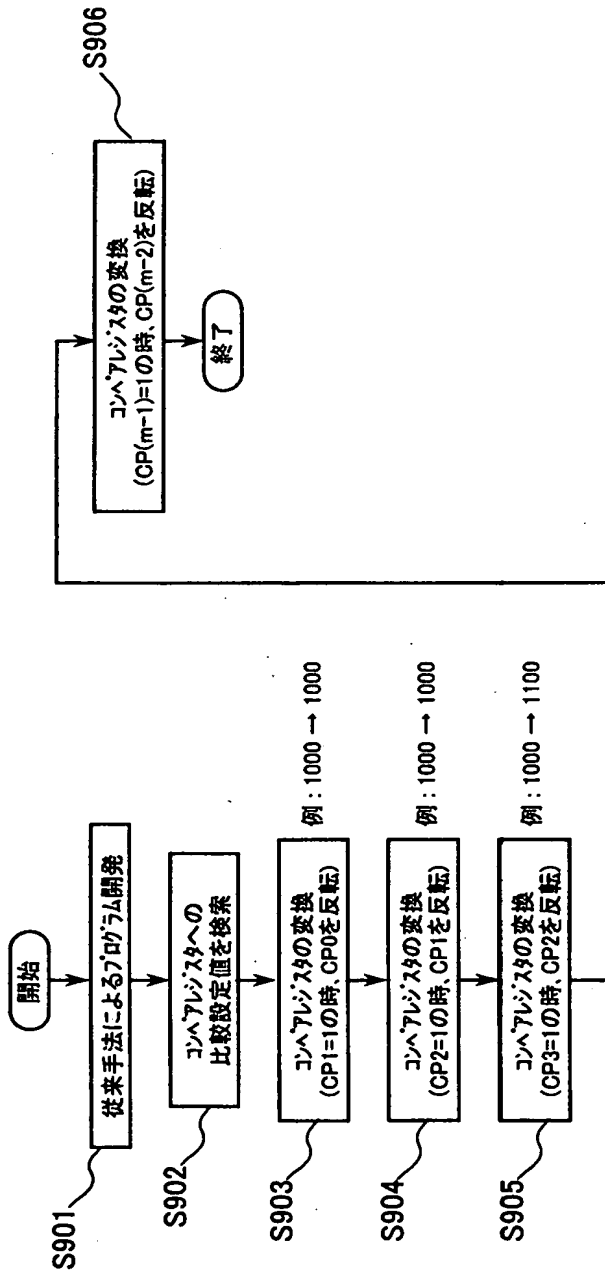
【図 7】



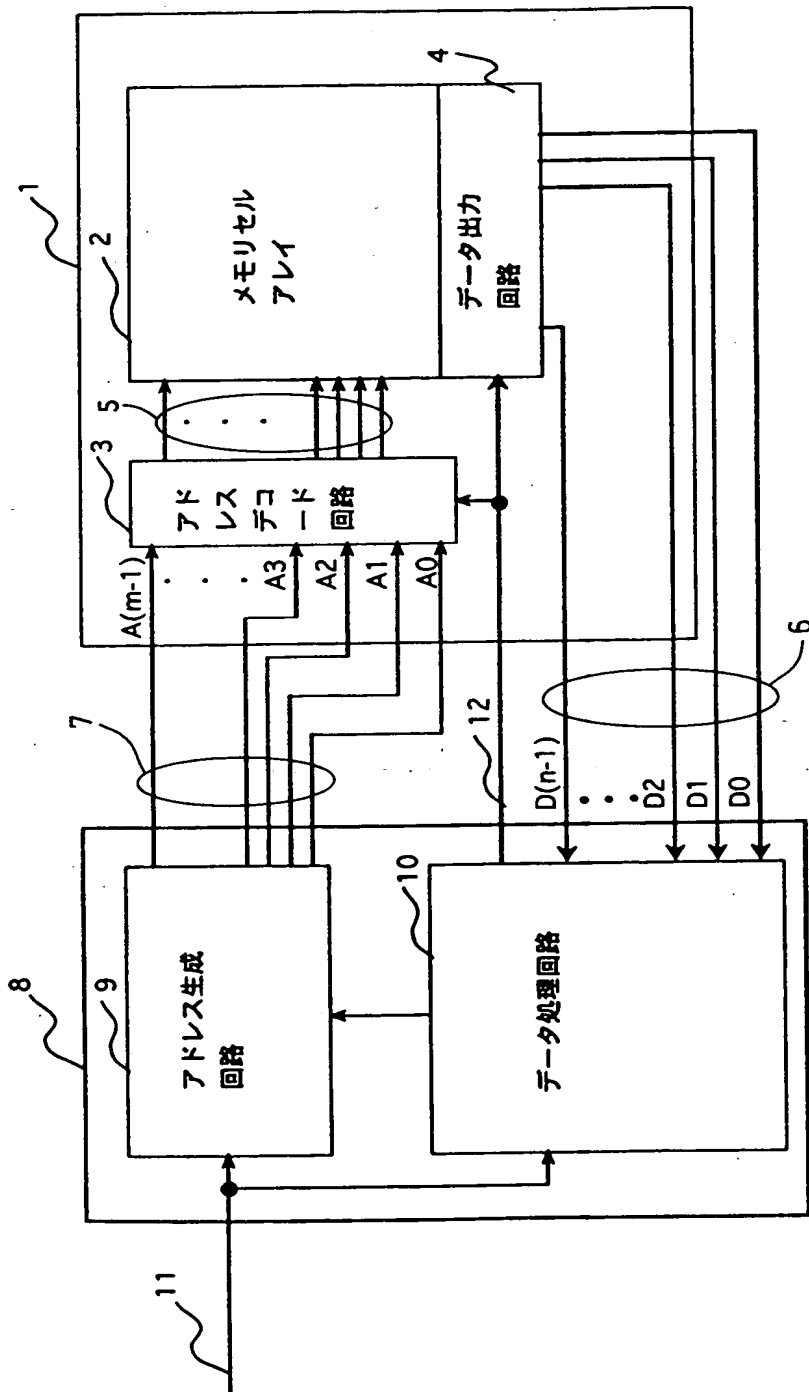
【図 8】



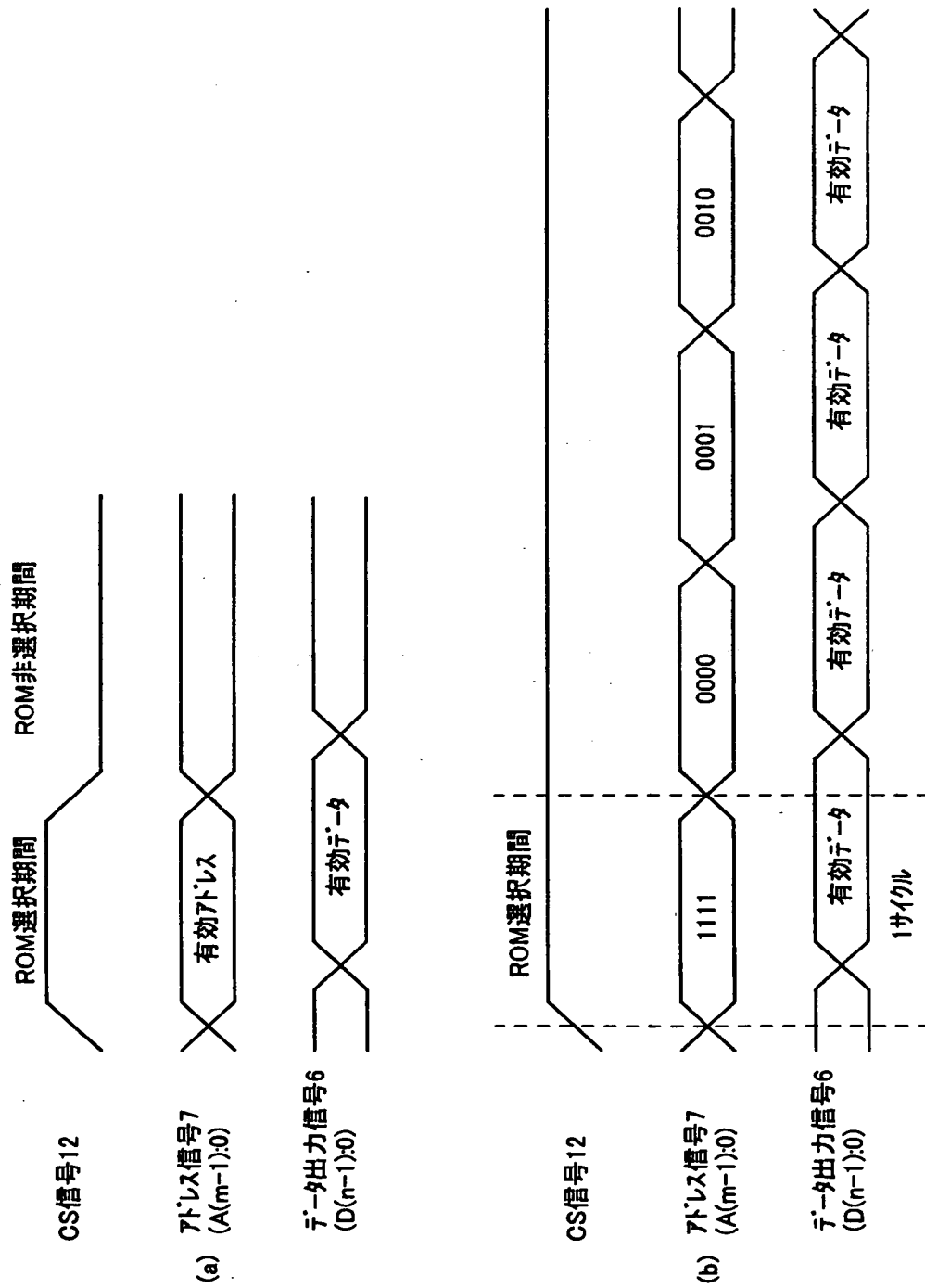
【図 9】



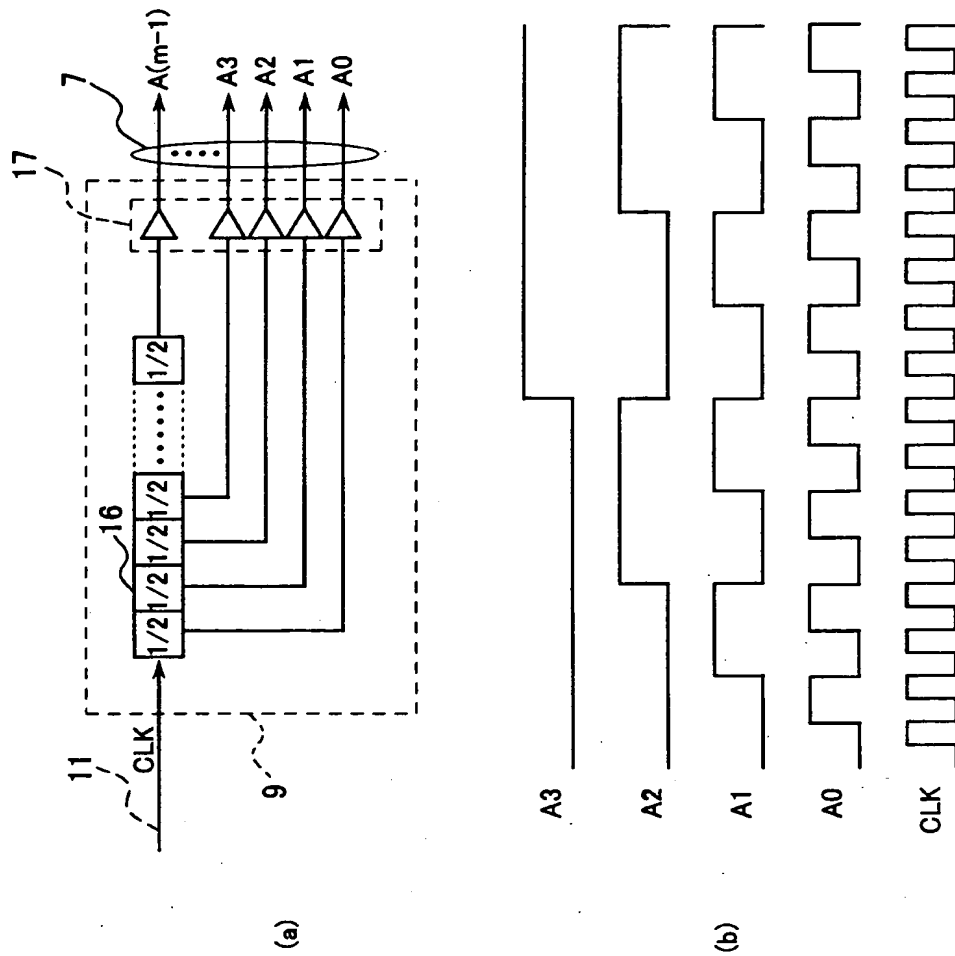
【図10】



【図 11】



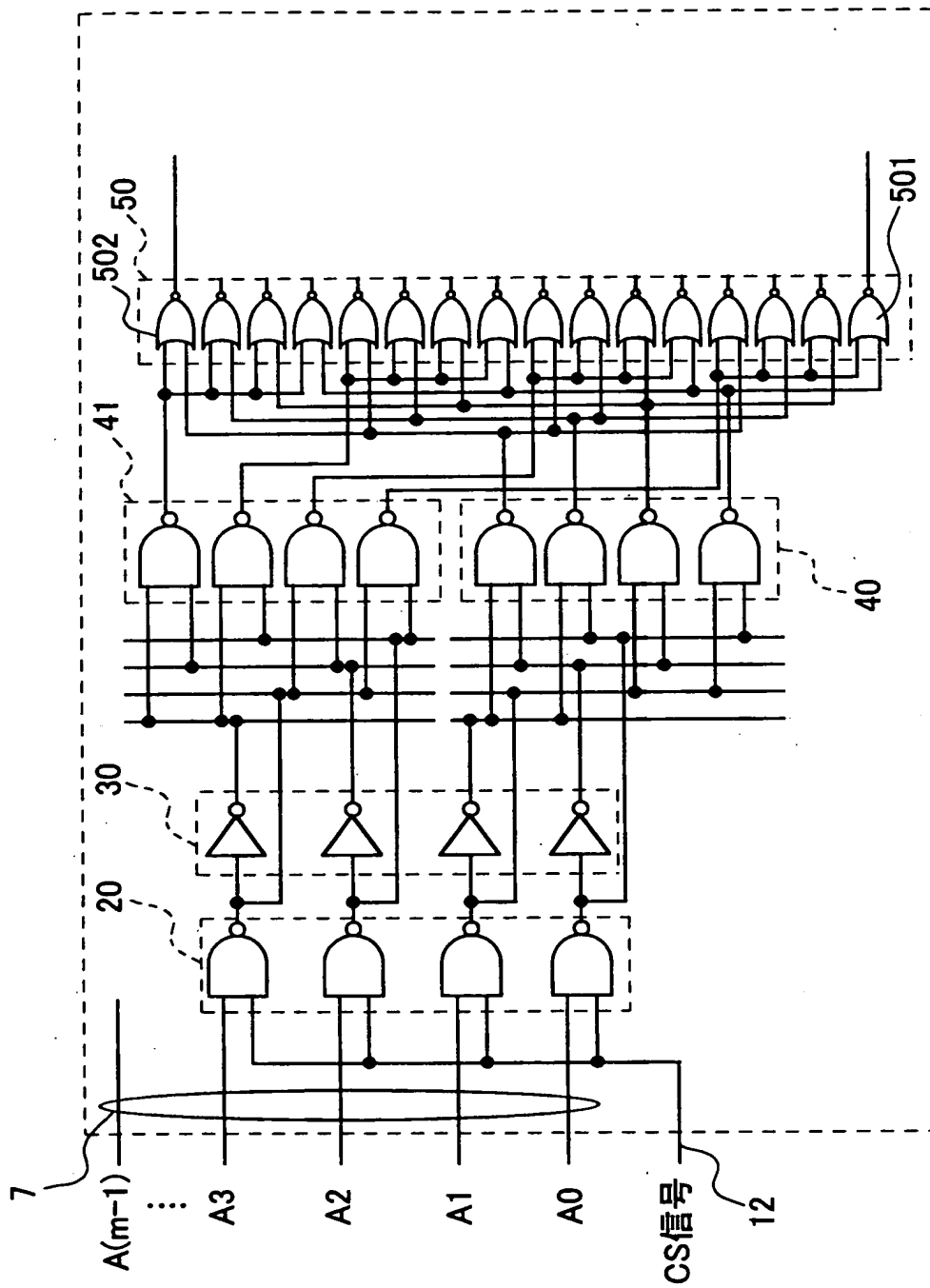
【図 12】



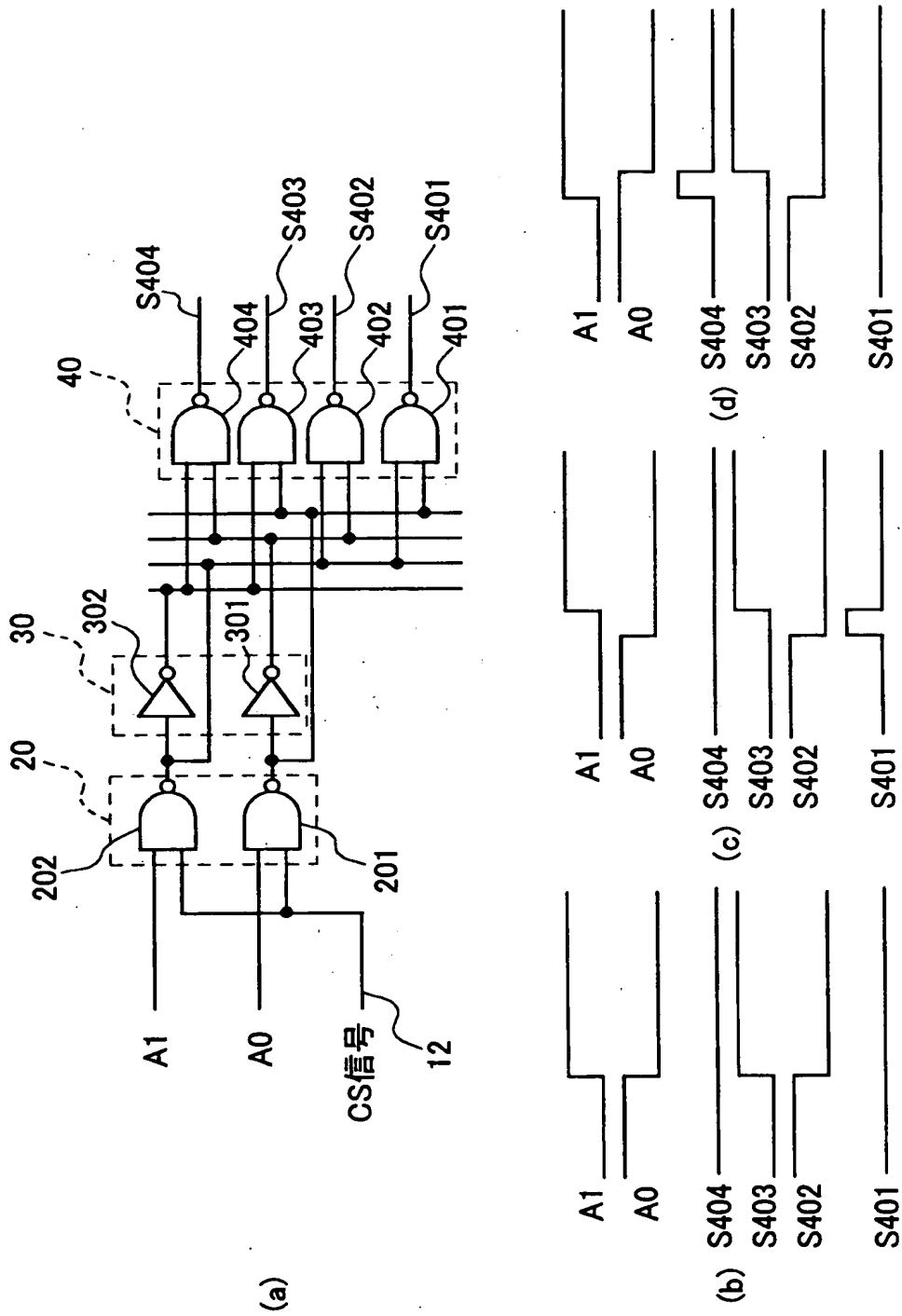
【図 1 3】

A3	A2	A1	A0	変化ビット数
0	0	0	0	4
0	0	0	1	1
0	0	1	0	2
0	0	1	1	1
0	1	0	0	3
0	1	0	1	1
0	1	1	0	2
0	1	1	1	1
1	0	0	0	4
1	0	0	1	1
1	0	1	0	2
1	0	1	1	1
1	1	0	0	3
1	1	0	1	1
1	1	1	0	2
1	1	1	1	1
				計 30

【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置において、ROM回路やRAM回路に対する連続アドレスによるデータアクセス時における消費電流を低減する。

【解決手段】 ROM回路1と、ROM回路に対するデータアクセスを制御する制御回路68とが内蔵された半導体集積回路装置であって、制御回路は、ROM回路に対して、連続アドレスによるデータアクセスを行なう際に、1ビットのみ値が順次変化する複数ビットのアドレス信号を出力する。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社